

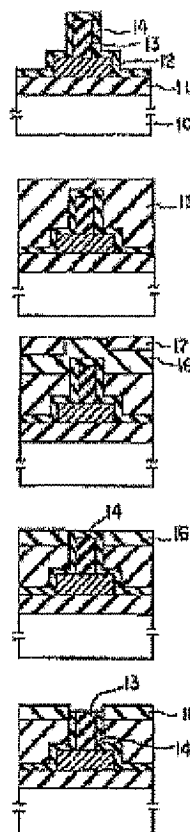
**MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

**Patent number:** JP8204008  
**Publication date:** 1996-08-09  
**Inventor:** SUNADA TAKESHI  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
- **international:** H01L21/768; H01L21/205; H01L21/3065; H01L21/316;  
H01L21/318  
- **european:**  
**Application number:** JP19950012412 19950130  
**Priority number(s):** JP19950012412 19950130

Report a data error here

**Abstract of JP8204008**

**PURPOSE:** To prevent reduction of reliability and occurrence of faults in conduction between upper and lower wirings by forming the second insulating film, having self-flattening capacity, on the first plasma CVD insulating film so that the first plasma CVD insulating film remains when a pillar is removed. **CONSTITUTION:** After the first wiring material 12 and a pillar 13 are formed in accumulation, in sequence, on a semiconductor substrate 10, the first plasma CVD insulation film and the second insulating film 15 which has self-flattening capacity are formed in sequence over the entire surface. And, the second insulating film 15 is, across the entire surface, etched back to the position lower than the top surface of the pillar 13. On the entire surface, the second plasma CVD insulating film 16 is formed, and after applying a resist 17, the resist 17 and the second plasma CVD insulating film 16 are, with the same etching rate, etched back till the first plasma CVD insulating film 14 on the top surface of the pillar 13 is exposed. After the top surface of the exposed first plasma CVD insulating film 14 is etched till a part of the pillar 13 is exposed, the exposed pillar 13 is removed.

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-204008

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768  
21/205  
21/3065

H 0 1 L 21/ 90 B  
21/ 302 L

審査請求 未請求 請求項の数3 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平7-12412  
(22)出願日 平成7年(1995)1月30日

(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72)発明者 砂田 武  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝多摩川工場内  
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】自己平坦化能力を有する絶縁膜を用いた層間絶縁膜にビアホールを形成する際、上下配線間の導通の信頼性の低下や不良の発生を防止する。

【構成】半導体基板10上の下層配線12の一部上にピラー13を形成した後、全面に第1のプラズマCVD絶縁膜14および自己平坦化能力を有する第2の絶縁膜15を順次形成し、第2の絶縁膜をピラーの上面より低い位置まで全面エッチバックする工程と、全面に第2のプラズマCVD絶縁膜16を形成し、レジスト17を塗布した後、ピラー上の第1のプラズマCVD絶縁膜の上面が露出するまでレジストと第2のプラズマCVD絶縁膜を同じエッチングレートでエッチバックする工程と、露出した第1のプラズマCVD絶縁膜の上面をピラーの一部が露出するまでエッチングした後、露出したピラーを除去する工程とを具備することを特徴とする。

